Veranstaltungsinformationen

Anmeldung: www.ClusterLE.de/veranstaltungen

Anmeldeschluss:

20. Juni 2023

Teilnahmegebühr:

€ 855,–* für Firmen
€ 675,–* für Universitäten u. Institute
*zzgl. MwSt.

- Die Teilnahmegebühr beinhaltet das Mittagessen, Abendessen, Kaffeepausen/Kaltgetränke sowie die Schulungsunterlagen in gedruckter Form.
- Teilnehmenden von ECPE Mitgliedsfirmen wird ein Rabatt von 25% gewährt.
- Mit Erhalt der Anmeldebestätigung sind Sie für die Veranstaltung registriert und erhalten die Rechnung per Email.
- Weitere Informationen (z.B. Reiseinformationen) erhalten Sie mit der Anmeldebestätigung.
- Der Rücktritt ist bis 2 Wochen vor Veranstaltungsbeginn kostenfrei möglich. Erfolgt der Rücktritt später, bleibt die Verpflichtung zur Zahlung von 50 % der Teilnahmegebühr.
  Es kann jedoch ein Ersatzteilnehmer gestellt werden.
- Die Teilnehmerzahl ist auf 12 begrenzt.

02.03.2023

Allgemeine Hinweise

Veranstalter	Cluster Leistungselektronik im ECPE e.V. 90443 Nürnberg www.clusterLE.de
Schulungsleiter	Prof. Dr. E. Hoene Fraunhofer IZM
Technische Organisation	Dr. Bernd Bitterlich, ECPE e.V. 0911 / 81 02 88 – 14 bernd.bitterlich@ecpe.org
Organisation	Angela von der Grün, Cluster Leistungselektronik im ECPE e.V. 0911 / 81 02 88 – 17 angela.vondergruen@ecpe.org
Veranstaltungsort	Fraunhofer IZM Gustav-Meyer-Allee 25 13355 Berlin

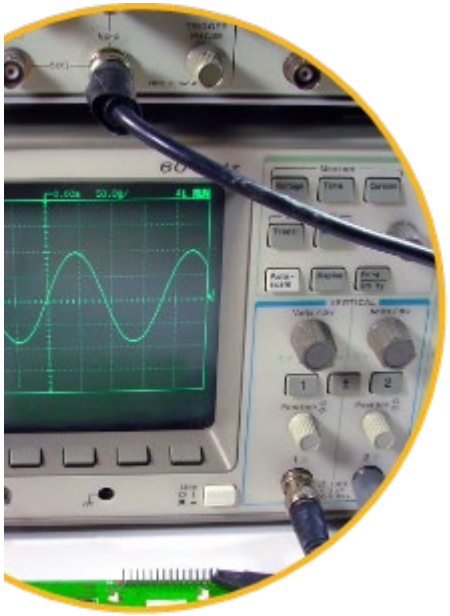
Quelle:Titelbild: Quelle: Istock, iceninephoto
Veranstaltungsort: ©Fraunhofer IZM /Kai Abresch

Cluster Leistungselektronik

ECPE

Cluster-Laborkurs

Parasitäre Effekte in der Leistungselektronik



26. - 27. Juni 2023
Fraunhofer IZM
Berlin

Gefördert
im Rahmen der Cluster-Offensive Bayern von der
Bayerischen Staatsregierung

Einleitung

Parasitäre Effekte in der Leistungselektronik

26. - 27. Juni 2023
Berlin

In der Leistungselektronik spielen parasitäre Effekte, die durch das Layout, Bauteile oder die Konstruktion entstehen, eine wichtige aber meist unerwünschte Rolle. Das Wissen, mit dem diese Effekte eingeschätzt und minimiert werden können, ist bisher nur rudimentär in Lehrbüchern beschrieben und muss in den meisten Fällen von den Entwicklern individuell erarbeitet werden. Das ist mit aufwändigen Entwurfs-Durchläufen und vielen Prototypen verbunden, der Aufbau an Erfahrung erfolgt dabei jedoch langsam.

Dieser Laborkurs soll durch praktische Experimente einen Einblick in die parasitären Effekte geben. Durch die Untersuchung einer bewußt schlecht entworfenen Schaltung durch die Teilnehmer, werden häufig gemachte Fehler identifiziert und durch anschließende Modifikationen behoben. Dafür ist auch der zielführende Einsatz der Messgeräte notwendig, was einen weiteren Teil des Lernziels ausmacht.
Anschließend werden die Effekte und deren Ursachen in Präsentationen der Referenten aufgearbeitet und aktuelle Forschungsergebnisse zur Reduzierung der parasitären Eigenschaften vorgestellt. Es besteht die Möglichkeit, eigene Beispiele im Rahmen der Veranstaltung zu diskutieren.

Der Leiter des Laborkurses ist Prof. Dr. Eckart Hoene, Fraunhofer IZM.

Die Vorträge und Diskussionen sind in deutscher Sprache.

Programm

Montag, 26. Juni 2023

9:30 **Registrierung, Ausgabe der Unterlagen**

10:00 **Begrüßung, Thematische Einführung**
E. Hoene, Fraunhofer IZM

Kaffeepause während des Laborteils

11:00 **1. Praktische Übungen im Labor**
Die Untersuchungen werden an einer Leiterplatte eines Wechselrichters durchgeführt, der mit 40V und 15A arbeitet. Dafür stehen die üblichen Laborgeräte für die Fehlersuche zur Verfügung. Es sollen alle Entwurfsfehler herausgefunden und provisorisch behoben werden.

12:30 Mittagessen

13:30 **2. Praktische Übungen im Labor**
Die Arbeit des ersten Teils wird fortgesetzt, Bauteile und Lötkolben stehen für die Modifikationen zur Verfügung.

15:00 Kaffeepause während des Laborteils

16:00 **Diskussion der Ergebnisse**
Die bis dahin entdeckten Fehler werden zusammengetragen, erklärt und mögliche Gegenmaßnahmen diskutiert.

16:30 **Ende 1. Tag**

19:00 Abendessen

Programm

Dienstag, 27. Juni 2023

9:00 **3. Praktische Übungen im Labor**
Nach der funktionalen Optimierung werden jetzt leitungsgebundene Messungen durchgeführt und mit den Fehlern im Layout korreliert.

10:40 Kaffeepause während des Laborteils

11:00 **4. Praktische Übungen und Auswertung**
Gemeinsam werden die auf der Leiterplatte aufgetretenen Fehler analysiert und beurteilt.

12:00 Mittagessen

13:00 **5. Präsentationen (Schulungsraum)**

13:00 **Entwurfsstrategien für Leiterplatten**
E. Hoene

13:45 **Parasitäre Effekte: Entwurf von Schaltzellen und Filtern**
E. Hoene

14:45 **Entwurf von Leistungsmodulen für niedrigere Emissionen**
E. Hoene

15:30 Veranstaltungsende